

以 FPGA 為基礎之全數位控制多相交錯式 D 類放大器 PWM 技術實現 Implementation of Fully Digital-Controlled Multiphase-Interleaved Class-D Amplifiers Using PWM Technique Based on FPGA

李啟揚
Chi-Yang Lee

鄒應嶼
Ying-Yu Tzou

電力電子晶片設計與DSP控制實驗室

國立交通大學 電機與控制工程學系

Power Electronics IC Design and DSP Control Lab

Department of Electrical and Control Engineering, National Chiao Tung University

摘要

本文研製一個以可規劃邏輯陣列(FPGA)為基礎之全數位控制交錯半橋式 D 類放大器，以解決在當開關切換頻率不夠快速下之電壓總諧波失真不佳的問題。所設計的控制系統包含數位補償器、同步取樣控制器及脈寬調變產生器三個子系統的系統。模擬平台採用 Simulink 軟體結合 Modelsim 軟體，除了驗證子系統的性能之外，也進行單相及交錯半橋式 D 類放大器模擬。實驗板使用 Altera 公司的實驗發展平台 Cyclone II Development Kits，搭配軟核處理器 NIOS II，可將實驗波形透過 RS232 傳送回 Simulink，以及 SPI 等串聯介面，進行互動式的實驗。可藉由 SPI 介面設定控制器的參數，簡化了所設計數位控制器的腳位。本研究提出之方法，主要在於以最佳控制方式降低高功率(>100W)之 D 類放大器在低開關頻率(100kHz)的波形失真，模擬結果顯示所提出控制方法之有效性，當脈寬調變波形解析度為 10 位元且開關切換頻率為 100kHz 時，且無效時間設定 0.5 μ s，輸入訊號由 1kHz 至 20kHz，滿載輸出電壓總諧波失真均低於 1.3%，證明交錯式的架構確可在不提高切換頻率的條件下，可有效降低輸出電壓的總諧波失真。

關鍵詞：交錯式 D 類放大器，可規劃邏輯陣列，數位脈寬調變，總諧波失真

Abstract

This paper presents the research of an FPGA-based fully digital-controlled multiphase-interleaved class-D amplifiers. This topology could reduce the output voltage total harmonic distortion while the switching frequency is low. The proposed digital controller is composed of three subsystems which are digital compensator, digital PWM generator, and the synchronous sampling controller. The simulation platform which is combined with simulink and modelsim could fast verify the functionality of realized subsystems. It could also simulate the results of the single-phase or three-phase class d amplifiers which is connected with the proposed digital controller. The proposed control scheme has been implemented using an FPGA board (Altera Cyclone II Development Kits). It possesses the soft core NIOS II and variety usable IPs. We used the communication interface RS-232 and SPI to transmit parameters to the digital controller or receive sampled

data from the experimental board. These sampled experimental data could be plotted in the simulink. Simulation verification has been carried out on a single-phase and interleaved class-D amplifier. Under the 10-bit PWM resolution, 100kHz switching frequency and 0.5 μ s dead-time constraints. The Simulation results show a voltage THD of 1.3% at rated output. The simulation results show the feasibility and superiority of the proposed digital interleaved class-D control scheme.

Keywords: Interleaved class-D amplifier, FPGA, DPWM, THD.

一、簡介

隨著可攜式影音商品的流行，高效率的D類放大器開始受到重視，設計良好的D類放大器，其效率甚至可達90%[1]-[2]，除減少散熱片面積，亦延長了電池壽命。使用D類放大器的重點為開關切換訊號的產生，其原理主要是將音頻訊號轉調變為固定頻率的脈寬調變波(Pulse Width Modulation, PWM)，此種調變波只有高或是低的位準來驅動功率開關，再經過濾波器來解調變為原來的音頻訊號，良好的調變訊號能改善D類放大器的失真問題[3]，目前常見的調變方式為PWM調變及Sigma-Delta調變(Σ - Δ)，前者具有結構簡單的優點，但需有快速的切換頻率才可降低失真，後者雖具失真小的優點，但構造較複雜，本文採PWM調變方式。

具相位移控制的交錯式脈寬調變技術應用在直流對直流轉換器中，以增進電壓調整模組的電流輸出能力已發展多時，有研究顯示使用交錯式的調變技術，可以較低的切換頻率有效的降低輸出電壓漣波[4]。理論上，使用n個相位於D類放大器中，就可以得到n倍的有效切換頻率，不需提高每相的PWM切換頻率就可有效的降低輸出電壓、電流漣波。

性能優異且廉價的單晶片帶動了數位控制的風潮，使得類比控制中複雜的控制架構，能以程式的方式在單晶片中實現。高性能的FPGA具基本邏輯電路，可依所需實現特定功能之電路，彈性大及高速的時脈是其特點所在。故見得可程控的D類放大器控制器，在未來將極具競爭優勢。

本論文乃由國科會補助之計畫研究成果，計畫編號為 94-2213-E-009-146。

二、交錯式D類功率放大器分析

根據D類放大器一個切換週期的平均電壓與輸出電壓的關係，以及電感電壓的關係式，可推導出單相半橋式雙極性PWM方式最大的電感電流漣波及輸出電壓漣波分別為：

$$\Delta I_{L,max} = \frac{V_{DC}}{4L \cdot f_s} \quad (1)$$

$$\Delta V_{o,max} = \frac{V_{DC}}{32 \cdot L \cdot C \cdot f_s^2} \quad (2)$$

交錯式的D類放大器是以並聯的方法連接如圖1，控制每相的開關控制訊號使其具有相位差，此優點為在不提高切換頻率下，只要增加n相並聯，並控制每相導通角相差 $2\pi/n$ 度，即可有效降低總電感電流漣波n倍，總輸出電壓漣波 n^2 倍，其電感電流漣波及輸出電壓漣波關係式分別為：

$$\Delta I_{L,max} = \frac{V_{DC}}{4L \cdot n \cdot f_s} \quad (3)$$

$$\Delta V_{o,max} = \frac{V_{DC}}{32 \cdot L \cdot C \cdot (n \cdot f_s)^2} \quad (4)$$

其中n為交錯式D類放大器並聯之相數， V_{DC} 為直流鏈電壓(V)， f_s 為每相開關切換頻率。

為比較單相與交錯式 D 類放大器差別，本文以三相交錯式 D 類放大器為例，控制第二相及第三相上臂開關控制訊號，使其分別延遲第一相上臂開關 120 度及 240 度，模擬條件如下：電感值 $100 \mu H$ ，電容值 $1 \mu F$ ，開關切換頻率 100kHz，直流鏈電壓為 30V，單相半橋式及交錯式 D 類放大器的模擬結果分別如圖 2 及圖 3。圖 2(a)為單相電流漣波，其振幅為 0.75A，圖 2(b)為三相交錯式的電流漣波，其振幅為 0.25A，三相的電流漣波約為單相的三分之一。單相半橋式及交錯式 D 類放大器的輸出電壓模擬如圖 3，圖 3 (a)為單相電壓漣波，振幅為 0.975V，圖 3(b)為三相交錯式的電壓漣波，其振幅為 0.108V，三相的電壓漣波約為單相的九分之一。

三、交錯式D類放大器數位控制器設計

A. 脈寬調變產生器

脈寬調變因易實現常用於D類放大器的前級調變，一般採用正弦脈寬調變。其原理是將調變波與參考訊號作比較，根據兩波形交會點決定功率電晶體切換時機。實現數位脈寬調變產生器，有幾種方式[5]-[7]：

A.1 計數器-比較器(Counter-comparator)方法

實現方法最簡單直接且所佔的面積小是其優點，使用一個正緣觸發的計數器並給一固定的頻率，在時脈變動時做上數、下數或是上下數的動作以產生參考訊號(非對稱的斜波或是對稱的三角波)。此計數器的計數值將脈寬調變波的切換週期切割成若干個刻度，此即為脈寬調變的解析度，例如計數1024次可得到一個切換週期，稱此為10位元解析度的脈寬調變波，當輸入時脈固定，數位脈寬調變波的解析度會和切換頻率

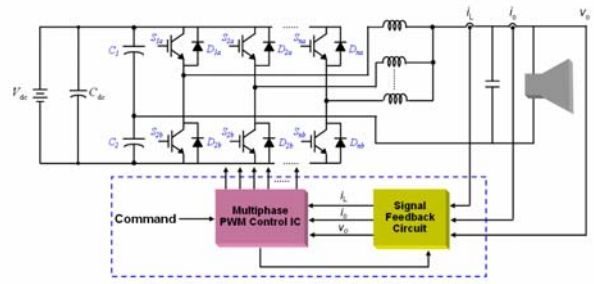


圖1 交錯式D類放大器架構圖

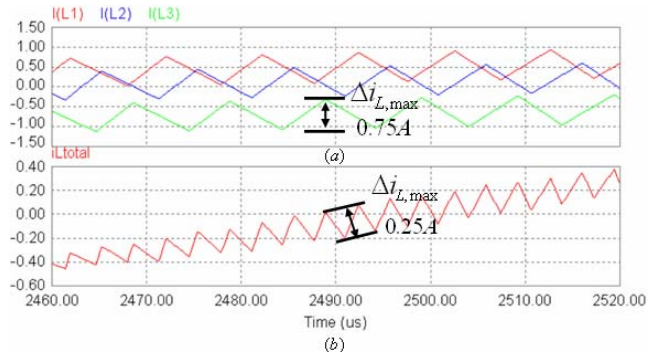


圖2 (a)單相(b)交錯式D類放大器電感電流漣波模擬圖

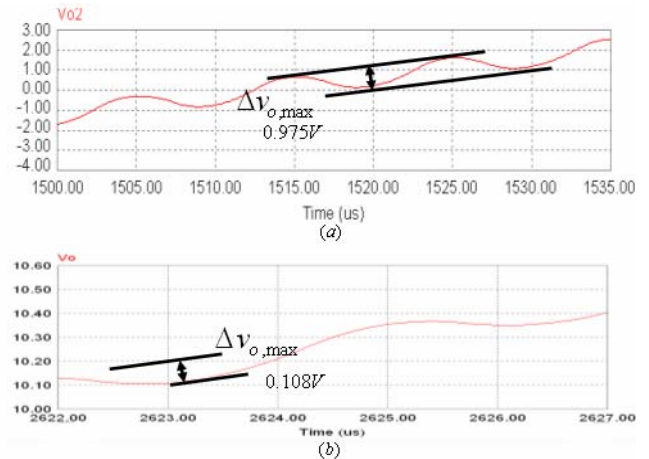


圖3 (a)單相(b)交錯式D類放大器輸出電壓漣波模擬圖

成反比，若同時提高其解析度與切換頻率，勢必要增加輸入時脈的頻率，增加實現的難度及功率消耗，其輸入時脈與脈寬調變的切換頻率及解析度關係：

$$f_{sw} = \frac{f_{clk}}{2^{resolution}} \quad (5)$$

A.2 延遲線(Delay-line)方法

其利用邏輯閘間的傳遞延遲時間，藉以產生每一個時間間隔，所需要的電路為延遲元件所組成的延遲線及多工器，由一個脈寬調變切換頻率開始設定其輸出為高準位，然後將此切換頻率延遲一段時間後，再清除脈寬調變的輸出，所有延遲元件的總延遲時間等於脈寬調變的一個切換週期。在IC的製程中可以透過改變延遲元件的輸入電壓來調整其延遲時間，但在Altera的FPGA中無法如此調整，僅能增加或減少延遲

元件數量來改變。此方法的時脈是脈寬調變的切換頻率，降低了功率消耗，佔用大面積為其主要缺點。

A.3 混合計數器及延遲線方法

此方法在面積及解析度間的權衡間為一解決方法，其包含了計數器以及延遲線，延遲線可產生小的時間間隔，計數器部份得到大的時間間隔，功耗較第一種方法低，與第二種方法相比面積也減少很多，較複雜的架構為其缺點。基於易實現及節省面積考量，採第一種方法實現所需之數位脈寬產生器。

B. 同步取樣控制器

脈寬調變方式造成輸出電壓、電流具有開關切換頻率的漣波，此高頻的漣波為不希望出現之雜訊，一般做法是在回授訊號路徑上加低通濾波器，以降低切換頻率漣波，然此種做法有兩個缺點，一為低通濾波器造成了回授訊號的相位延遲外，二為當電流迴路的頻寬大於開關切換頻率的1/20時，低通濾波器濾掉漣波的效果就不明顯。以本文為例，訊號頻寬為20kHz，開關切換頻率為100kHz，故在輸出電壓、輸出電流及電感電流的回授，使用低通濾波器來濾除漣波就不適合。為避免取樣到訊號漣波值，或是在功率開關切換瞬間，大電流變化之突波，而造成數位控制器運算錯誤，一般做法是在特定的時機取樣(漣波為零之處，或是訊號平均值處)，此取樣方式稱同步取樣[8]。

C. 數位補償器

C.1 比例積分控制器設計

比例積分控制器最主要的目的在於消除穩態誤差，然而，換流器輸出電壓為一時變系統，使用比例積分控制器，將會具有相位延遲，且有穩態誤差。雖然此方法較簡單，但要使其無穩態誤差，其控制器設計較困難，所以比例積分控制器參數之設定將藉由模擬之方式得出一組較佳的參數值，再於實作系統中進行適當的微調。實作中積分控制器轉移函數為：

$$C_{pi}(s) = k_{vp} \left(1 + \frac{k_{vi}}{s} \right) \tag{6}$$

將轉移函數由連續時間轉換成離散時間，常用轉換方法有三種，分別為 forward、backward 以及 bilinear 轉換，實現一個積分項以 forward 及 backward 轉換需一個暫存器來除存前一次的輸出值，以 bilinear 轉換則需要兩個，故採 backward 轉換，差分方程式：

$$y(n) = k_{vp} \cdot x(n) + k_{vp} \cdot k_{vi} \cdot i(n) + i(n-1) \tag{7}$$

採用此轉移函數實現PI控制器時，當藉由 k_{vp} 及 k_{vi} 調整開迴路增益或控制器零點時不會互相影響。比例積分控制器設計步驟如下，首先令積分項增益 k_{vi} 為零，求出系統轉移函數後再由設定頻寬決定 k_{vp} ，則，最後固定 k_{vp} ，以嘗試錯誤法求得 k_{vi} 。

C.2 數位相位超前控制器設計

Hewlett-Packard(HP)公司於1985年所提出的一種數位控制器設計法則稱為Combination Method [9]，其運

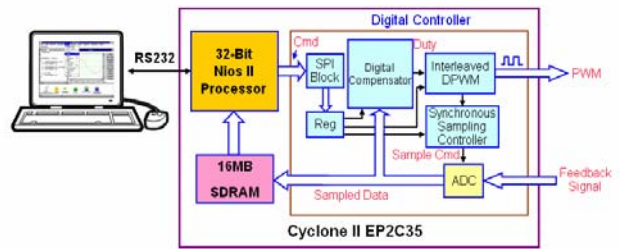


圖4 交錯式D類放大器控制器架構圖

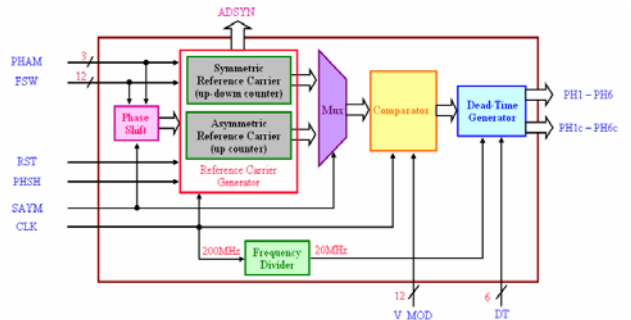


圖5 脈寬調變產生器方塊圖

用在s-plane或類比控制方法來設計控制器參數，數位濾波器形式如下：

$$D(z) = \frac{[K] \cdot [z - A]}{[z + B]} \tag{8}$$

極點項 $z/z + B$ 與零點項 $z - A/z$ 對原開迴路系統均提供正相位補償，令 $z = e^{j\omega T}$ 代入零點及極點項，可得到零點及極點項所提供的相位圖與增益圖，根據其相位圖及增益圖可得到意欲之控制器參數。參數設定方法簡介如下：(1)求出未補前系統之相位邊限(2)設定預達到之相位邊限(3)計算所需補償的相位(4)將迴路頻寬正規化(5)查極點及零點項所提供之大小圖及相位圖，得到數位濾波器的各參數K、A、B等。

四、交錯式D類放大器控制晶片設計

交錯式 D 類放大器控制晶片整體架構圖如圖 4。D 類放大器所需之功能方塊均規劃於同一 FPGA 中。此晶片除了交錯式數位控制器外，還包含 NIOS II 系統及 16MB 的記憶體。NIOS II 系統具有串列介面傳輸(SPI)、與電腦的資料傳送(RS232)，可處理的程式是以 C 語言撰寫。數位控制器各功能電路分述如下。

A. 脈寬調變產生器

實現之數位脈寬調變產生器輸入時脈最快為 200MHz，脈寬調變波的解析度最高為12位元，具有對稱或非對稱參考訊號產生的選擇，避免上下臂開關同時導通的無效時間(Dead-Time)處理，並根據是否具相位移及所需相數功能，而自動計算各相所需延遲角度，脈寬調變最多可有互補的六相輸出。圖5為所實現之數位脈寬調變產生器方塊圖，相位移方塊根據輸入使用相數及脈寬調變頻率計算各相所需之相位移，計算出結果後送到參考訊號產生器，此處會產生對稱及非對稱的參考波形，再由多工器選擇該輸出何種參考訊號至比較器，在比較器中與調變命令比較後可得到

脈寬調變波，最後再經過無效時間產生器輸出。此方塊最多為六相輸出，未使用之相位上、下臂輸出均為低準位。

A.1 計算相位移電路

脈寬調變的訊號是以計數器方式實現，故很容易就能實現計算相位移電路，其原理如下，假設以500個計數產生了一個對稱的三角波，又使用於三相交錯式，第二及第三相需延遲第一相角度分別為120度及240度，則可求出相對應的計數值應為 $(500)/3=166$ 及 $(500*2)/3=332$ ，如此就可計算所需之相位角度。在實現上先根據此時的PWM參考訊號模式設定為對稱波形還是非對稱波形，FSW腳位為設定之參考訊號峰值，由一多工器選擇將乘上一倍FSW(非對稱)或是乘上兩倍FSW(對稱)的訊號送至除法器電路，除法器共有三個，分別為除三倍、除五倍及除六倍，除兩倍及除四倍分別將資料右移一位及右移兩位即可達成，至此已得到將FSW除二至除六的數值了，再依照各相不同延遲角度，分別乘上二到五不等的數值即得到輸出，六相角度計算示意圖如圖6。

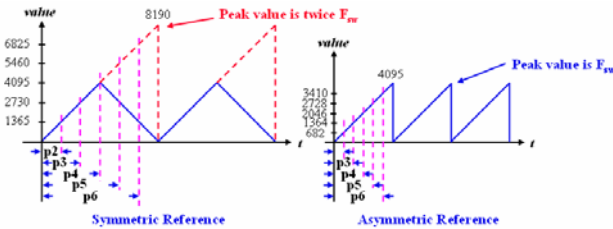


圖6 計算相位移示意圖

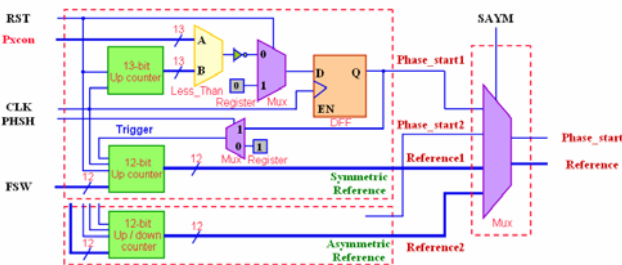


圖7 參考訊號產生器方塊圖

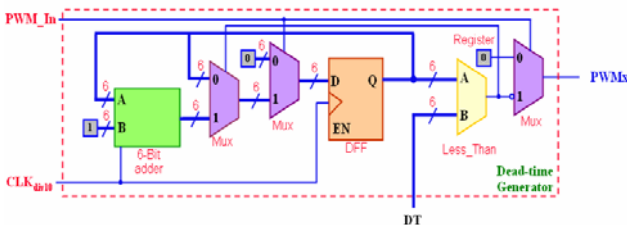


圖8 無效時間電路方塊圖

A.2 參考訊號產生電路

此電路為產生對稱及非對稱的參考訊號，再送至比較器，每相使用兩個計數器來實現，第一個計數器會與相位移電路計算之相位移數值比較，當兩者相等送觸發訊號給第二個計數器，第二個計數器的功能是

產生參考訊號，經第一個計數器的觸發動作，就可使所產生的參考訊號有相位移。第一相因為不需要有相位移，故六相共有11個計數器。方塊圖如圖7。

A.3 無效時間(Dead-Time)產生電路

將上、下臂的脈寬調變波均加上一段無效時間，此為避免當脈寬調變訊號送至功率級的開關後，因開關的 t_{on} 、 t_{off} 時間及傳遞延遲時間的不同，造成上、下臂開關同時導通而短路。為得到想要的無效時間，需設定 DT 腳位，送入此方塊的時脈是除以 10 後的脈寬調變產生器時脈。圖 8 為無效時間產生器方塊圖，輸入的訊號 PWM_In 為前級產生的脈寬調變波，當其為低準位時，控制输出的多工器，使其輸出為亦為低準位，而當此 PWM_In 訊號為高準位時，就輸出 DT 與 6 位元計數器比較的值，當六位元比較器值大於 DT 設定時，最後多工器的輸出會為高準位。同時 PWM_In 訊號亦控制著 6 位元計數器重置的功能，當 PWM_In 為低準位時，會重置此計數器，而當計數器的數值大於 dead_time 設定值後，計數器的輸出值會固定在當時的計算值，直到 PWM_In 低準位後才會重置計數器。

B. 同步取樣控制器

本論文實現了一個最多具有六相輸出的同步取樣控制器。此同步取樣控制器僅可在數位脈寬調變器設定為對稱參考波的模式下使用，可選擇的取樣模式有三種，分別為上升期間取樣、下降期間取樣或上升及下降期間均要取樣，在上升或下降期間均要取樣，取樣頻率為脈寬調變波切換頻率的兩倍。此方塊需使用到的時脈CLK、重置腳位RST、切換頻率FSW、對稱或非對稱選擇SAYM、使用相數PHAM及各相的參考訊號(Reference)等訊號，均由數位脈寬調變產生器提供。考慮市售AD轉換器有 active low及 active

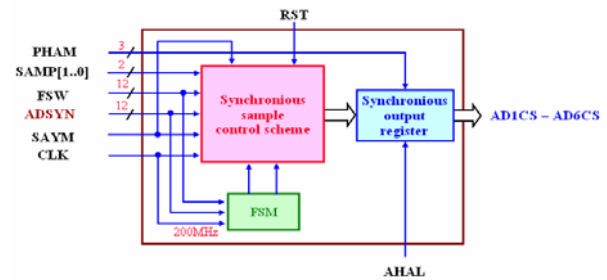


圖9 同步取樣控制器方塊圖

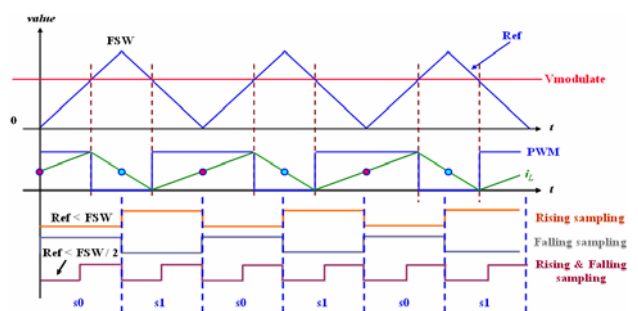


圖10 同步取樣時機示意圖

high動作兩種，故控制器亦提供了兩種輸出模式，腳位AHAL可作選擇。圖9為其方塊圖。

同步取樣時機的示意如圖10，最上面的三角波為參考訊號及調變訊號，中間的波形為相對應之脈寬調變波及電感電流波形，由圖中可清楚看出，電感電流的平均值處為當三角波參考訊號為峰值以及谷值處，因此在實現時，此方塊接收脈寬調變產生的參考訊號(對稱的)，然後判斷其是否為峰值或谷值，若成立就令輸出為低準位，若不成立，則令輸出為高準位。

C. 數位補償器

交錯式D類放大器中的控制器方塊圖如圖11所示，電壓迴路使用比例積分控制器再加上相位領先補償器，電流迴路使用一個比例控制器，輸出電壓及輸出電流迴授均乘上一比例控制器為前饋迴授補償。相位領先控制器轉移函數如式(6)，實現IIR數位濾波器的型式有很多種，最常見的為直接型式I與直接型式II，其差別在於暫存器的多寡，直接型式II比直接型式I少了一個暫存器，故採第二種直接型式作為數位控制器的運算式，其差分方程式如下：

$$y(n) = K \cdot x(n) - B \cdot w(n-1) - A \cdot w(n-1) \quad (9)$$

由節省使用資源的觀點，使用排程的方法來實現所需之數位補償器，藉由排程的方法，僅使用一個16位元的乘法器以及一個16位元的加減法器就可以完成所有的計算，使用50MHz的時脈，計算延遲為0.36μs。圖12為實現之硬體架構圖，包含：一個數值運算單元及一個以狀態機為基礎的控制器，數值運算單元包含一個乘法器，以及一個加減法器，最後輸出有一個限制器，以狀態機控制狀態的切換，使在同一個狀態中僅能執行一次加法或減法運算，一次乘法器運算。狀態機共需18個切換狀態，一開始先將內部的暫存器初始化為零，因為控制器內有時間延遲的電路，故需要暫存器來儲存前一個值，初始暫存器後，就進入閒置狀態，一直等接受到觸發訊號cs後，控制器才會開始執行運算，其執行順序如圖13。

D. NIOS II 軟核處理器

NIOS II系統功能規劃有兩部份，其一為使用SPI介面來設定各控制暫存器的參數，其次就是將實驗波形取樣後，由FPGA實驗板透過UART介面傳送回電腦模擬軟體simulink中，與模擬波形做比較。此處使用的NIOS II系統包括了一個32位元的CPU、16MB的SDRAM、UART及SPI的通訊介面以及數個傳接資料的IO腳位。NIOS II CPU負責處理使用者撰寫的C程式，16MB的動態記憶體儲存運算的資料以及程式，UART介面與電腦溝通，SPI介面傳輸NIOS中設定之控制暫存器值給D類放大器控制晶片。

NIOS II CPU處理之程式流程如圖14。一開始處理器會透過SPI介面將程式內設定之參數傳給D類放大器控制暫存器組中，再根據disp_sel腳位選定哪種數據需送回電腦觀察，將該資料透過DISP_DATA腳位讀到記憶體中，每讀一筆值，記憶體位址就加1，當儲滿1000筆，CPU等待電腦的傳輸資料命令，一旦成立NIOS處理器就呼叫UART介面，傳送資料回電腦中，每傳一筆

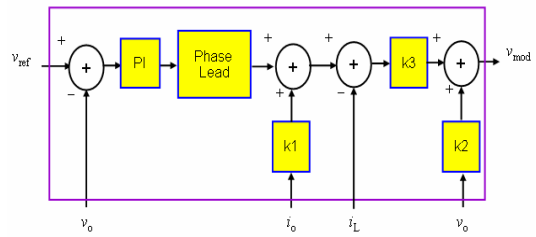


圖11 交錯式D類放大器補償器方塊圖

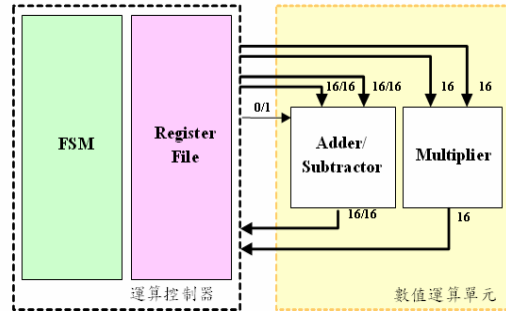


圖12 硬體架構圖

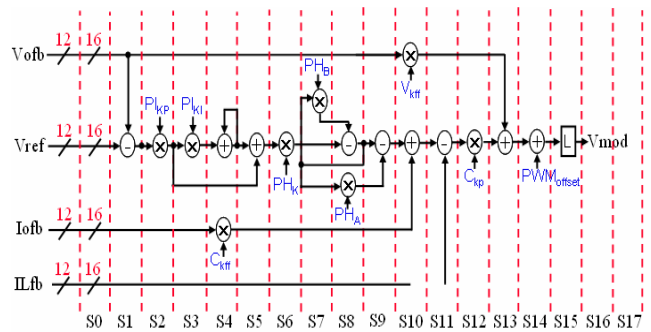


圖13 狀態機切換示意圖

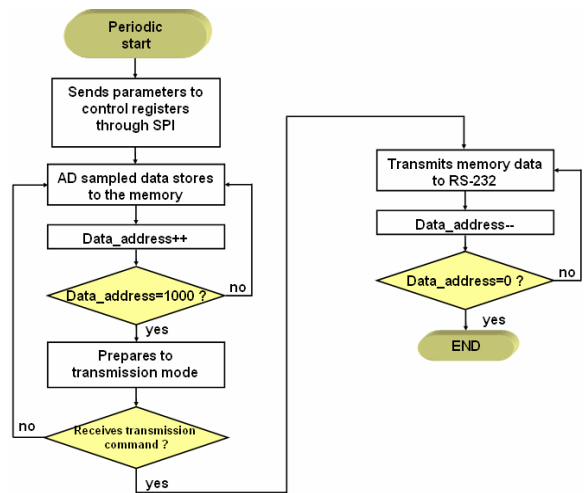


圖14 NIOS II程式流程圖

值，記憶體位址變遞減，直到傳送完1000筆資料後，就回到程式起點。該注意的是在NIOS的SPI及UART中，其傳輸資料的長度都是8位元，若使用者的資料長度是超過8位元的，就需拆成兩筆資料，然後在接收端再將其相加起來，以確保資料正確。

五、實驗及模擬結果

單相半橋式D類放大器的電感電容及電阻值分別為100 μ H、1 μ F及8 Ω ，開關切換頻率100 kHz，無效時間設定為0.5 μ s，DC Bus電壓為100V，ADC的同步取樣頻率為200 kHz，開迴路模擬結果，輸入訊號頻率對總諧波失真的變化如圖15，三相交錯式以同樣條件設定，其輸入訊號對總諧波失真的變化如圖16。圖17-圖19為所設計之方塊動作實驗圖。所設計之電路使用的資源如表1，全部設計佔總資源的17%。

單相半橋式D類放大器開迴路實驗條件分別設定如下：電感100 μ H、電容1 μ F、負載為8 Ω 電阻，開關切換頻率100kHz，無效時間(Dead-Time)為0.5 μ s，Duty為0.6，直流電壓為50V，輸入訊號頻率為1kHz，ADC取樣頻率200kHz，此時輸出電壓峰值18.12V，輸出電流峰值2.31A，輸出功率為21W，總諧波失真為5.2%，如圖20。相同條件下，僅直流電壓提高至100V，輸入訊號頻率增為10kHz，此時輸出電壓峰值17.97V，輸出電流峰值2.38A，輸出功率為21.3W，如圖21。

三相交錯式D類放大器開迴路實驗條件分別設定如下：每相電感100 μ H、電容1 μ F、負載為8 Ω 電阻，每相開關切換頻率100kHz，無效時間(Dead-Time)為0.5 μ s，Duty為0.6，直流電壓為40V，輸入訊號頻率為1kHz，ADC取樣頻率200kHz，此時輸出電壓峰值為18.75V，輸出電流峰值為2.22A，輸出功率為20.8W，總諧波失真為2.3%，如圖22。相同條件下，直流電壓40V，輸入訊號頻率增為10kHz，此時輸出電壓峰值為18.12V，輸出電流峰值為2.09A，輸出功率為19W，如圖23。與單相半橋式相比，除了波形失真較小外，在相同的輸出功率下，直流電壓的輸入也較低。

表 1 交錯式 D 類放大器控制 IC 使用資源分析表

電路名稱	使用資源(LEs)
六相PWM產生器	1909
同步取樣控制器	277
數位控制器	358
SPI傳輸介面	53
NIOS II系統	2857
暫存器Bank	38
ADC接收方塊	40
除頻電路	7
Total	5539
百分比(%)	17%

六、結論

本文研製一個以FPGA為基礎全數位控制之交錯式半橋D類放大器，其具有低開關切換頻率、低穩態輸出電壓總諧波失真的性能。當設定脈寬調變波為解析度10位元，且100kHz切換頻率時，無效時間設定為0.5 μ s，模擬結果可知，滿載時單相半橋式D類放大器的輸出最大總諧波失真為12%，在相同條件下，滿載時交錯式D類放大器的輸出最大總諧波失真為1.35%，可知交錯式的架構在不改變現有的開關切換頻率下，

可有效的降低總諧波失真，解決計數器方式實現的脈寬調變產生器的時脈問題。

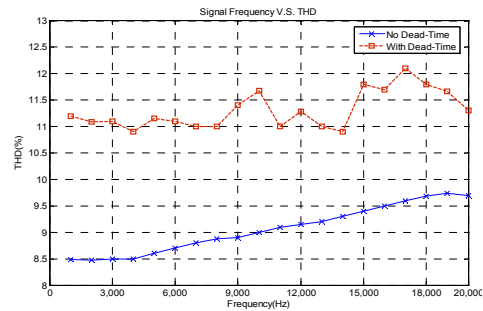


圖15 單相D類放大器輸入訊號頻率變化對總諧波失真變化圖

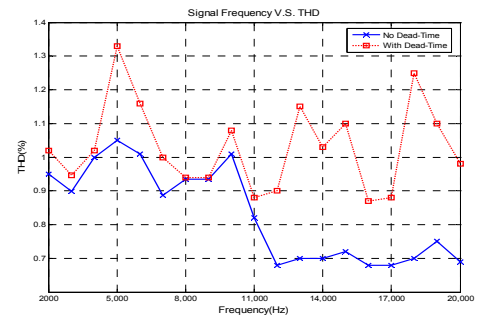


圖16 交錯式D類放大器輸入訊號頻率變化對總諧波失真變化圖

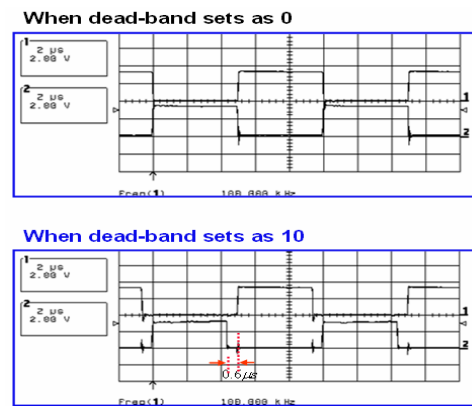


圖17 脈寬調變波有無設定無效時間實驗圖

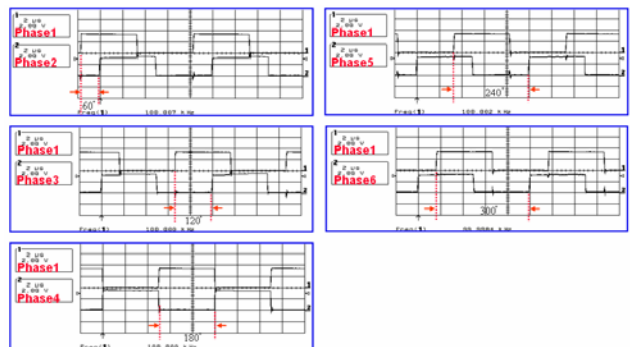


圖18 脈寬調變具相位移實驗圖

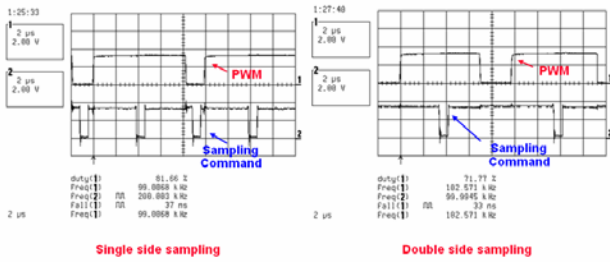


圖19 同步取樣控制器取樣命令實驗圖

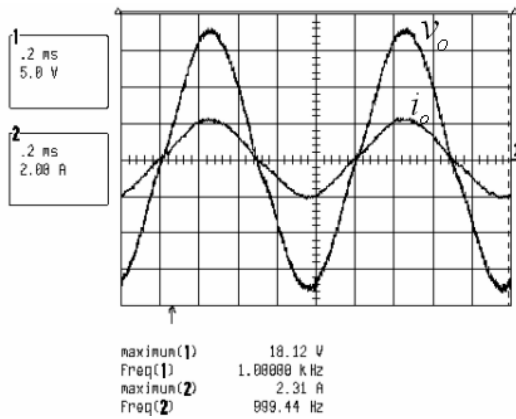


圖20 單相半橋D類放大器輸入訊號頻率1kHz之輸出電壓電流波形

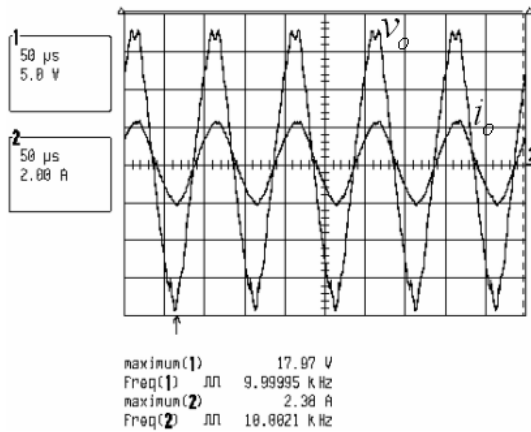


圖21 單相半橋D類放大器輸入訊號頻率1kHz之輸出電壓電流波形

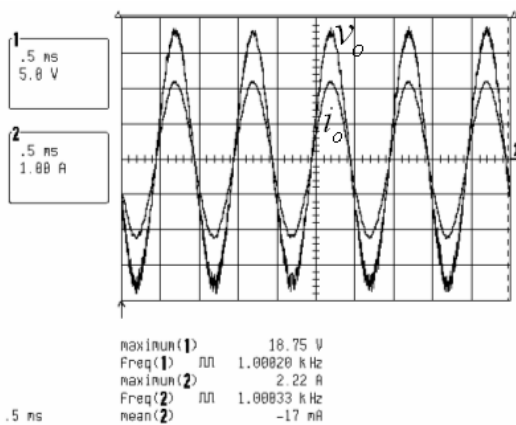


圖22 三相交錯D類放大器輸入訊號頻率1kHz之輸出電壓電流波形

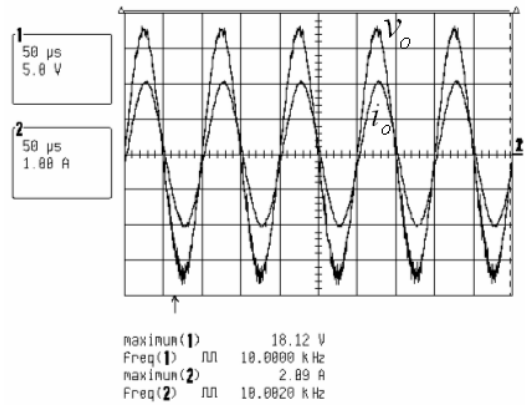


圖23 三相交錯D類放大器輸入訊號頻率10kHz之輸出電壓電流波形

參考文獻

- [1] J. S. Chang, M. T. Tan, Z. H. Cheng, and Y. C. Tong "Analysis and design of power efficient class D amplifier output stages," *IEEE Trans. Circuits and System I: Fundamental Theory and Applications*, vol. 47, no. 6, pp. 897-902, 2000.
- [2] Mark Bloechl, Mohannad Bataineh, and Dale Harrell, "Class D switching power amplifiers: theory, design, and performance," *Proceedings on IEEE Southeast Conf.*, pp. 123-146, March, 2004.
- [3] Helmt Bresch, Martin Strcitenberger, and Wolfgang Mathis, "About the demodulation of PWM-Signals with applications to audio amplifiers," *Proceeding of the 1998 IEEE International Symposium*, vol. 1, pp. 205-208, June, 1998.
- [4] D. R. Garth, W. J. Muldoon, G. C. Benson, and E. N. Costague, "Multi-phase, 2 Kilowatt, high voltage, regulated power supply," *IEEE Power Conditioning Specialists Conf. Rec.* pp. 110-116, 1971.
- [5] Albert M. Wu, Jinwen Xiao, Dejan Markovic, and Seth R. Sanders, "Digital PWM control: application in voltage regulation modules," *Power Electronics Specialists Conf. Rec., 1999, PESC 99, 30th annual IEEE*, vol. 1, pp. 77-83, July, 1999.
- [6] A Dancy and A. P. Chandrakasan, "Ultra low power control circuits for PWM converters," *IEEE Power Electronics Specialist Conf. Rec.*, pp. 21-27, 1997.
- [7] Bah-Hwee Gwee, Joseph S. Chang, and Huiyun Li, "A micropower low-distortion digital pulsewidth modulator for a digital class d amplifier" *IEEE Trans. On Circuits and Systems*, vol. 49, Issue 4, pp. 245-256, 2002.
- [8] Richardson J., Kukrer O. T., "Implementation of a PWM regular sampling strategy for AC drives," *IEEE Trans. On Power Electronics*, vol. 6, Issue 4, pp.645-655, Oct 1991.
- [9] W Hewlett Packard, Application Note 1032, *Design of the HCTL-1000's Digital Filter Parameters by the Combination Method*, 1985.